

1.3 조합논리회로

(1) 조합논리회로

- 1) 임의의 시간에서의 출력이 이전의 입력에는 관계없이 현재의 입력조합(0 또는 1)으로부터 결정되는 논리회로
- 2) 종류 **0703**
반가산기, 전가산기, 병렬가산기, 반감산기, 전감산기, 디코더, 인코더, 멀티플렉서**0203**, 연산기(ALU)**0503**, 디멀티플렉서, 다수결회로, 비교기 등

(2) 반가산기 **0705**

- 1) 반가산기(Half Adder)
 - ① 1 Bit짜리 2진수 2개를 덧셈(가산)한 합(S)과 자리올림수(C)를 구하는 조합논리회로
 - ② 입력값: 2개, 출력값: 2개

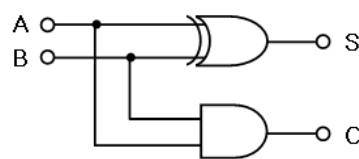
2) 진리표 **0403 0509**

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

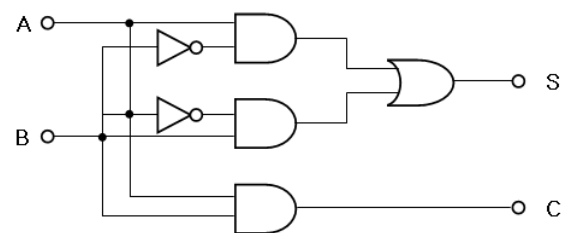
3) 논리회로

한 개의 AND 회로와 Exclusive-OR(=XOR) 회로를 조합한 회로 **0106 0209 0705**

0503 0405



0509



4) 논리식 **0403 0405**

- ① $S = A\bar{B} + \bar{A}B = A \oplus B$
- ② $C = AB$

(3) 전가산기

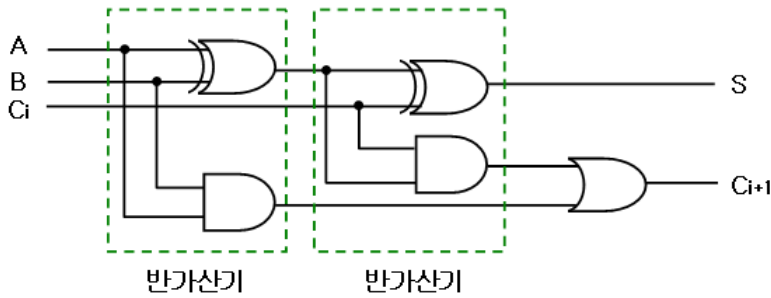
- 1) 전가산기(Full Adder)
 - ① 반가산기의 회로에 뒷자리에서 발생한 자리올림수를 처리할 수 있도록 한 회로
 - ② 입력값: 3개, 출력값: 2개

2) 진리표

A	B	C _i	S	C _{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3) 논리회로

한 개의 전가산기를 구성하는데 최소한 2개의 반가산기가 필요함 9910 0010 0603



4) 논리식

① $S = (A \oplus B) \oplus C$

전가산기의 합의 동작을 얻을 수 있는 것은 배타적 OR 9906

② $C_{i+1} = AB + (A \oplus B)C_i$ 0103 0503

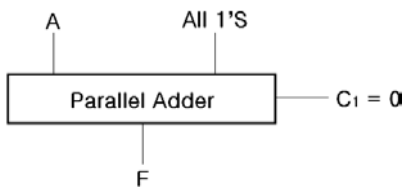
(4) 병렬가산기

1) 병렬 가산기(Parallel Adder)

n Bit로 된 2진수 A, B에 대한 덧셈을 n개의 전가산기를 이용하여 구현한 실질적인 가산기

2) 기출문제 풀이 (기사 1회, 산업기사 1회 출제)

① 그림에서 F의 값은? 0007



• 2진수의 비트 열이 모두 1일 경우: -1 (2의 보수법)

• 예) A: 0 1 0 1 (+5)

B: 1 1 1 1 (-1)

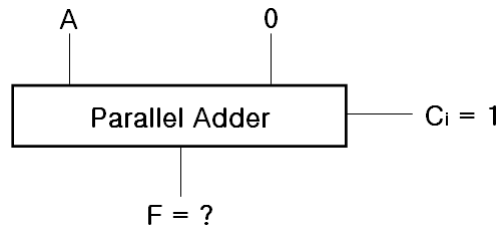
C_i: 0 0 0 0 (0)

F: 1 0 1 0 0 (+4) ※ F의 최상위 bit 1은 버림

• 정답: F = A - 1

② 다음 그림에 해당하는 마이크로 오퍼레이션 동작은 어떤 기능을 수행하는가?

0409 0709



- 예) A: 0 1 0 1 (+5)
- B: 0 0 0 0 (0)
- C_i: 0 0 0 1 (1)
- F: 0 1 1 0 (+6)

- F = A + 1 이므로 병렬가산기가 A값에 C_i값 1을 더함
- 정답: **Increment**

(5) 디코더 0705 0709

1) 디코더(Decoder) 0409

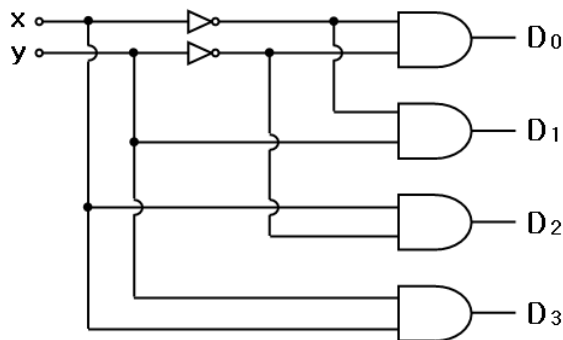
- ① N비트 입력단자를 통하여 들어온 2진 신호를 최대 2^N개의 출력단자 중 하나를 선택하는 회로
- ② 부호화된 데이터로부터 정보를 찾아내는 조합논리회로 0709

2) 진리표

x	y	D ₀	D ₁	D ₂	D ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

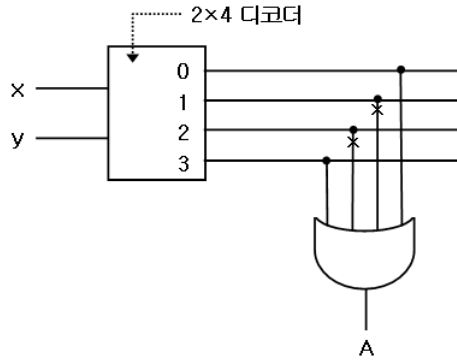
※ 디코더의 출력이 4개일 때, 입력은 보통 2개임 0509

3) 논리회로 0303 0603 0709



※ 디코더는 주로 AND 게이트의 집합으로 구성됨 0603

4) 기출문제 풀이 0709



① A로 입력되는 4개의 디코더 출력선

x	y	번호	출력선	A
0	0	0	$\bar{X}\bar{Y}$	1
0	1	1	$\bar{X}Y$	0
1	0	2	$X\bar{Y}$	0
1	1	3	XY	1

② 디코더의 출력선 중 1번과 2번은 절단되었고, 0번이나 3번이 선택되었을 때 A의 출력이 1이 됨

③ 정답: $A = XY + \bar{X}\bar{Y}$

(6) 인코더 (Encoder)

- 1) 디코더의 반대 동작을 함
- 2) 2^N 개의 입력단자에 대해 N개의 출력단자로 코드화해서 출력하는 회로

(7) 멀티플렉서(MUX, Multiplexer)

- 1) N개의 입력 데이터에서 입력선을 선택하여 단일 채널로 송신하는 것 0603
- 2) 버스(bus)를 구성하는데 사용할 수 있는 논리회로 0007

(8) 디멀티플렉서(DeMUX, DeMultiplexer)

- 1) 멀티플렉서의 반대 동작을 함
- 2) 1개의 입력선으로 들어오는 정보를 2^N 개의 출력선 중 1개를 선택하여 출력하는 회로

기출문제

0203

1. 다음 중 조합 논리 회로는?
 가. 멀티플렉서 나. 레지스터
 다. 카운터 라. RAM

0503

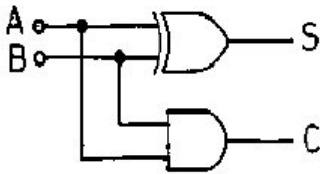
2. 중앙처리장치의 하드웨어 요소 중 조합 논리 회로만으로 구성된 것은?
 가. 명령 레지스터(Instruction register)
 나. 프로그램 카운터(Program counter)
 다. 어큐뮬레이터(Accumulator)
 라. 연산기(ALU)

0108 0209 0705

3. 하나의 AND 회로와 E-OR 회로를 조합한 회로는?
 가. 반가산기 나. 전가산기
 다. 래치 라. 플립플롭

0405

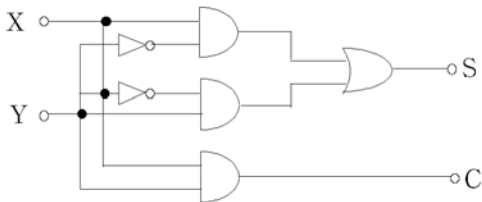
4. 그림과 같은 논리회로를 설명한 내용 중 옳지 않은 것은?



- 가. 반가산기를 나타내는 논리회로이다.
 나. $S = AB + A'B'$ 이다.
 다. $C = AB$ 이다.
 라. $S = A \oplus B$ 로 표시할 수 있다.

0509

5. 다음 회로와 진리표를 갖는 가산기의 명칭은?



입력		출력	
X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

- 가. Full Adder 나. Half Adder
 다. Full Multiplexer 라. Half Multiplexer

0603

6. 1개의 Full adder를 구성하는 데는 최소 몇 개의 Half adder가 필요한가?
 가. 1개 나. 2개
 다. 3개 라. 4개

0906

7. 전가산기(full adder)의 합의 동작을 얻을 수 있는 것은?
 가. AND 나. OR
 다. 배타적 OR 라. 다수결

0603

8. 디코더(Decoder)는 주로 어떤 게이트의 집합으로 구성되는가?
 가. NOT 나. XOR
 다. OR 라. AND

0603

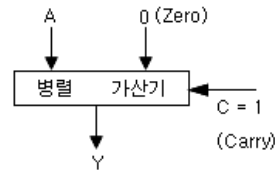
9. N개의 입력 데이터에서 입력선을 선택하여 단일 채널로 송신하는 것은?
 가. 인코더 나. 감산기
 다. 전가산기 라. 멀티플렉서

0007

10. 버스(bus)를 구성하는데 사용할 수 있는 논리회로는?
 가. encoder 나. multiplexer
 다. counter 라. comparator

0709

11. 그림과 같은 연산회로에서 얻어지는 마이크로 동작은? (단, A, 0, C는 입력이고, Y는 출력이다.)



- 가. A를 1 증가 나. 감산
 다. A를 전송 라. A를 1 감소

0709

12. 부호화된 데이터로부터 정보를 찾아내는 조합논리회로는?
 가. Flip-Flop 나. Decoder
 다. Encoder 라. Adder

1.4 순서논리회로

(1) 순서논리회로

- 1) 외부로부터의 입력과 현재 상태에 따라 출력이 결정되는 회로
- 2) 종류: 플립플롭, 카운터, 레지스터, RAM, CPU 등 0709

(2) 플립플롭(FF, Flip-Flop) 0705

- 1) 플립플롭은 전원이 공급되고 있는 한, 상태의 변화를 위한 신호가 발생할 때까지 현재의 상태를 그대로 유지하는 논리회로
- 2) 1비트(bit)를 기억하는 메모리 소자이며, 레지스터의 구성 회로로 널리 사용
0007 0209
- 3) 종류: RS-FF, D-FF, JK-FF, T-FF, RST-FF, 마스터-슬레이브 FF
- 4) 어느 한 상태에서 다른 상태로 동작하기 위해서는 외부의 영향이 작용하여야 함

(3) RS 플립플롭(Reset-Set FF)

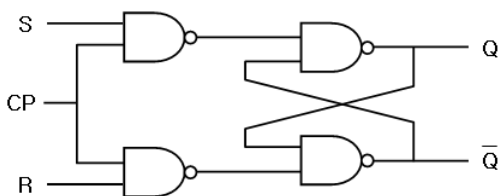
- 1) RS 플립플롭은 S와 R선의 입력을 조절하여 임의의 Bit값을 그대로 유지시키거나, 무조건 0 또는 1의 값을 기억시키기 위해서 사용되는 플립플롭
- 2) 특성표

S	R	$Q_{(t+1)}$	
0	0	$Q_{(t)}$	불변
0	1	0	Reset
1	0	1	Set
1	1	동작 안 됨	부정

※ 조합논리회로의 기능을 나타내는 표는 진리표라 하고,
순서논리회로의 기능을 나타내는 표는 특성표라고 함

※ 특성표에서 $Q_{(t)}$ 는 플립플롭이 동작되기 전에 원래 기억되어 있는 현재 상태의 값을 의미하고, $Q_{(t+1)}$ 은 동작한 후 변화된 상태의 값을 의미함

3) 논리회로



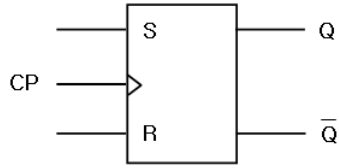
4) 여기표 0505

$Q_{(t)}$	$Q_{(t+1)}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

※ X: 무관(Don't care) 조건임

즉, X가 표시된 자리에는 0이나 1 아무거나 입력되어도 상관없음

5) 블록 다이어그램



(4) D 플립플롭(Delay FF)

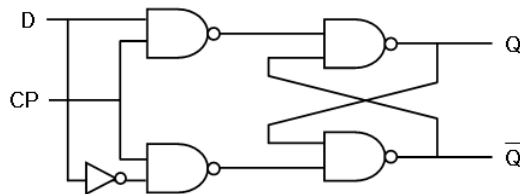
1) D 플립플롭

- ① RS FF의 R선에 인버터(Inverter)를 추가하여 S선과 하나로 묶어서 입력선을 하나만 구성한 플립플롭
- ② 입력하는 값을 그대로 저장하는 기능을 수행

2) 특성표

D	Q _(t+1)
0	0
1	1

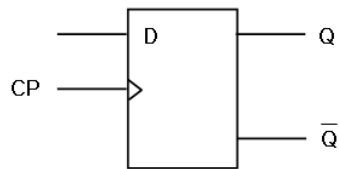
3) 논리회로



4) 여기표

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

5) 블록 다이어그램



(5) JK 플립플롭

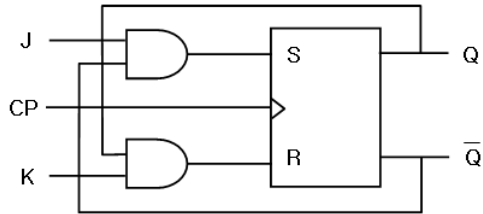
1) JK 플립플롭

- ① RS FF에서 S=R=1일 때 동작되지 않는 결점을 보완한 플립플롭
- ② RS FF의 입력선 S와 R을 JK FF의 입력선 J와 K로 사용
- ③ 모든 플립플롭의 기능을 포함

2) 특성표 0305 0209 0603 0605

J	K	$Q_{(t+1)}$	
0	0	$Q_{(t)}$	불변
0	1	0	Reset
1	0	1	Set
1	1	$\overline{Q_{(t)}}$	반전

3) 논리회로



4) 여기표

$Q_{(t)}$	$Q_{(t+1)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(6) T 플립플롭

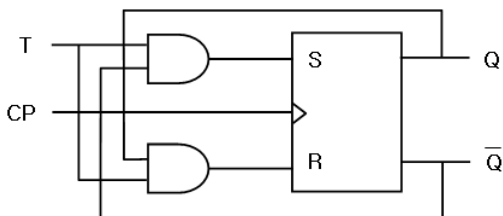
1) T 플립플롭

- ① JK FF의 두 입력선을 묶어서 한 개의 입력선으로 구성된 플립플롭
- ② 플립플롭 중 입력 단자가 하나이며 “1”이 입력될 때마다 출력 단자의 상태가 바뀜 0605

2) 특성표

T	$Q_{(t+1)}$
0	$Q_{(t)}$
1	$\overline{Q_{(t)}}$

3) 논리회로



4) 여기표

$Q_{(t)}$	$Q_{(t+1)}$	T
0	0	0
0	1	1
1	0	1
1	1	0

